

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-194823

(43)Date of publication of application : 14.07.1992

(51)Int.Cl.

G02F 1/136
 G02F 1/1333
 G02F 1/1343
 H01L 27/12
 H01L 29/784

(21)Application number : 02-319834

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.11.1990

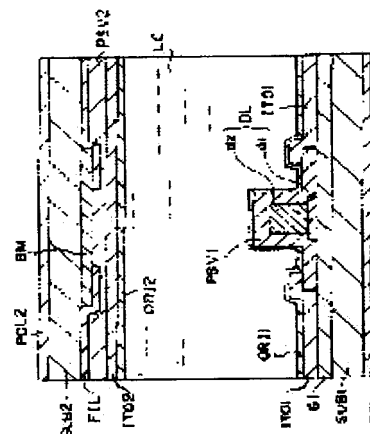
(72)Inventor : ONO KIKUO
 KONISHI NOBUTAKE

(54) LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce production of a point defect by forming a first insulating film with a given thickness on an image signal line having a given thickness and forming a clear picture element electrode, being not present on an area occupied by an image signal line on the first insulating film deposited on the image signal line, on the first insulating film.

CONSTITUTION: A liquid crystal orientation film ORI 1, a film transistor TFT, and a clear picture element electrode ITO 1 are formed on the lower clear glass substrate SUB 1 side on a basis liquid crystal layer LC. Below the substrate SUB 1, an orientation film ORI 2, a color filter FIL, and a black matrix pattern BM for light shield are formed on the polarizing sheet POL 1 and the upper substrate SUB 2 side, and a sheet POL 2 is formed on the substrate SUB 2. In sectional structure, a layer comprising a common electrode ITO 2, protection films PSV 1 and PSV 2, and an insulating film GI is formed. An image signal line DL formed of first and second conduction films d1 and d2 is formed on the insulating film GI. The protection film PSV 1 is formed thereon, and the electrode ITO 1 is formed after formation of the structure. Thus, two differences in a stage of an image signal line are produced between the adjoining electrodes ITO 1 and no point defect is produced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-194823

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月14日

G 02 F 1/136
1/1333
1/1343
H 01 L 27/12
29/784

5 0 0
5 0 5

A

9018-2K
8806-2K
9018-2K
7514-4M

9056-4M H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 16 (全13頁)

⑮ 発明の名称 液晶表示装置及びその製造方法

⑯ 特 願 平2-319834

⑰ 出 願 平2(1990)11月22日

⑱ 発 明 者 小 野 記 久 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 鶴 沼 辰 之 外3名

明 細 書

要 約

1. 発明の名称

液晶表示装置及びその製造方法

2. 特許請求の範囲

1. 1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、所定の厚さを持つ映像信号線上に所定の厚さの第一の絶縁膜が形成され、透明な画素電極は前記映像信号線上に堆積された前記第一の絶縁膜上の前記映像信号線の占有する面積上以外の前記第一の絶縁膜上に形成されていることを特徴とする液晶表示装置。

2. 請求項1に於いて、映像信号線が3000Å以上の厚さを持つことを特徴とする液晶表示装

置。

3. 1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置の製造方法に於いて、映像信号線、映像信号線上に堆積される第一の絶縁膜及び第一の絶縁膜上に形成される透明な画素電極の形成順序は、映像信号線、第一の絶縁膜、透明な画素電極であることを特徴とする液晶表示装置の製造方法。

4. 1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動

する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、所定の厚さを持つ映像信号線上に所定の厚さの第一の絶縁膜が形成され、透明な画素電極は前記映像信号線上に堆積された前記第一の絶縁膜上の前記映像信号線の占有する面積上以外の少なくとも前記第一の絶縁膜上をエッチング除去された領域に形成されていることを特徴とする液晶表示装置。

5. 請求項4において、透明な画素電極は前記映像信号線上に堆積された前記第一の絶縁膜上の前記映像信号線の占有する面積上以外の前記第一の絶縁膜上をエッチング除去された領域にのみ形成されていることを特徴とする液晶表示装置。

6. 請求項4又は5に於いて、その一部を除去される第一の絶縁膜が3000Å以上の厚さを持つことを特徴とする液晶表示装置。

7. 請求項4又は5に於いて、映像信号線とその一部を除去される第一の絶縁膜がともに300

0Å以上の厚さを持つことを特徴とする液晶表示装置。

8. 1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、複数本存在する走査信号線の第1番目と最終番目を除く前記走査信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記走査信号線に対して隣合う画素電極が、前記走査電極材料を陽極酸化して形成した陽極酸化膜の少なくとも一つの段差以外に形成され、前記画素電極上で光の透過する開口領域以外の部分に薄膜トランジスタのゲート絶縁膜を設けたことを特徴とする液晶表示装置。

9. 1つの走査信号線と1つ映像信号線の交点に

薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、複数本存在する走査信号線の第1番目と最終番目を除く前記走査信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記走査信号線に対して隣合う透明な画素電極が、前記走査電極材料を陽極酸化して形成した陽極酸化膜上以外の部分に形成され、前記画素電極上で光の透過する開口領域以外の部分に薄膜トランジスタのゲート絶縁膜を設けたことを特徴とする液晶表示装置。

10. 走査信号線、走査信号線上に形成される陽極酸化膜、ソース電極に接触される画素電極形成順序は、走査信号線、陽極酸化膜、画素電極形成の順序に製造され、陽極酸化膜と画素電極の

製造工程中に、他の絶縁膜の製造工程を含まない工程で製造されることを特徴とする液晶表示装置の製造方法。

11. 請求項8又は9に於いて、保持容量を形成する上部及び下部電極は共に不透明の電極材料で形成されたことを特徴とする液晶表示装置。

12. 請求項8又は9に於いて、保持容量を形成する上部電極は画素電極で形成されたことを特徴とする液晶表示装置。

13. 請求項8又は9に於いて、前記走査信号線と前記陽極酸化膜の厚さの総和が3000Å以上であることを特徴とする液晶表示装置。

14. 1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、複

数本存在する映像信号線の第1番目と最終番目を除く前記映像信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記映像信号線に対して隣合う画素電極が、隣合う画素の一方が透明基板あるいは第一の絶縁膜上に形成され、他方の画素電極との平面上のほぼ中間位置に形成された映像信号線が前記第一の絶縁膜上に形成され、前記他方の画素電極が前記映像信号線上に形成された第2の絶縁膜上に形成されたことを特徴とする液晶表示装置。

15. 請求項14において、前記画素電極が映像信号線上以外の部分に形成されことを特徴とする液晶表示装置。

16. 請求項14において、複数本存在する走査信号線の第1番目と最終番目を除く前記走査信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記走査信号線に対して隣合う画素電極が、隣合う画素の一方が透明基板あるいは第一の絶縁膜上に形成され、他方の画素電極との平面上のほぼ中間位置に形成さ

れた走査信号線が前記第一の絶縁膜上に形成され、前記他方の画素電極が前記走査信号線上に形成された第2の絶縁膜上に形成されたことを特徴とする液晶表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示装置、特に、薄膜トランジスタ及び画素電極で画素を構成するアクティブマトリクス方式の液晶表示装置及びその製造方法に関するものである。

(従来の技術)

TFT(薄膜トランジスタ)を搭載したアクティブマトリクス構成の液晶表示装置に関しては、例えば、1989年、電子通信学会技術研究報告(ED89-32)項41や特開昭62-47621号公報がある。

(発明が解決しようとする課題)

TFT液晶表示装置は、小型低消費電力のディスプレイ装置として、主としてマイクロコンピュータシステムにおけるモニター等に用いられてい

る。このような用途として、アクティブマトリクス液晶表示装置は製造工程が複雑であるため、短絡不良等が発生しやすく、またこれらの不良は画像として容易に認識できるため、これらの不良低減が可能な技術が要求されている。

点欠陥の原因として最も多いものは、透明なインジウムスズ酸化物ITOで形成された表示を行う画素電極がホト工程でのレジスト残りやエッチング工程でのエッチング不良等で加工残りが、画素電極ITOと映像信号を外部駆動回路から供給する映像信号線(ドレイン線)あるいは隣合う画素電極ITO同士が電氣的短絡を生じる不良である。

上記前者の従来技術を用いたTFT液晶ディスプレイの断面構造を第2図に示す。同図(a)は映像信号線に対して平面上で隣合う画素電極に対して映像信号線(ドレイン線)DLに垂直線上に切った断面図、同図(b)は走査信号線GLに対して平面上で隣合う画素電極ITOに対して走査信号線GL(ゲート線)に垂直線上に切った断面

図である。

この技術を用いた場合、画素電極ITOと映像信号線DLの短絡については絶縁膜OIで分離されており、この点での不良対策は行われている。しかしながら、同図中の映像信号線DLに対し、長さLoの間げきを持って形成された隣合う画素電極間ITOの短絡について、及び走査信号線GLに対し長さLcの間げきを持って形成された隣合う画素電極間ITOの短絡については同一平面上に形成されているため依然として不良の発生が多い。もちろん、Lo、Lcを大きくしていくとこの不良率はポアソン分布統計に従い、Lo、Lcに対して指數的に低下するが、このことは光の透過する開口率を著しく低下させ、好ましくない。

また、特開昭62-47621号公報の技術は、半導体膜と絵素電極の重畳部位に絶縁膜を介在させ且つソース・ドレイン電極と半導体層の間にリンドープのアモルファスシリコン層を介在させたものである。この従来例は映像信号線下部に画素電極が設けられ、また前記重畳構造により、上記

従来技術と同様の欠点を有していた。

本発明の目的は、液晶表示装置において、液晶表示装置の画素が不良となる点欠陥を低減することが可能な技術を提供する。

(課題を解決するための手段)

本願において開示される発明は、次の二つの手段によって達成される。第一番目は、先に所定の厚さを持つ映像信号線を形成し、次に前記映像信号線上に絶縁膜を被覆し、その後ITOを堆積、加工する。あるいは、先に所定の厚さを持つ走査映像信号線を形成し、次に前記走査信号線上の電極材料を陽極酸化して形成した陽極酸化膜を形成し、その後ITOを堆積、加工する。第二番目は、映像信号線に沿って形成される隣合う画素電極ITOを同一平面上に形成せず、映像信号線の垂直方向の同一平面上の画素電極ITO間の距離を隣合う映像信号線の距離より大きくする。

すなわち、本発明は、1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極

に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、所定の厚さを持つ映像信号線上に所定の厚さの第一の絶縁膜が形成され、透明な画素電極は前記映像信号線上に堆積された前記第一の絶縁膜上の前記映像信号線の占有する面積上には存在せず前記第一の絶縁膜上に形成されているものである。ここで、映像信号線が3000Å以上の厚さを持つものがよい。

また、本発明は、1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置の製造方法に

於いて、映像信号線、第一の絶縁膜及び透明な画素電極の形成順序は、映像信号線、第一の絶縁膜、透明な画素電極であることを特徴とするものである。

また、本発明は、1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、所定の厚さを持つ映像信号線上に所定の厚さの第一の絶縁膜が形成され、透明な画素電極は前記映像信号線上に堆積された前記第一の絶縁膜上の前記映像信号線の占有する面積上には存在せず少なくとも前記第一の絶縁膜上をエッチング除去された領域に形成されているものである。ここで、透明な画素電極は前記映像信号線上に堆積された前記第一の絶縁膜上の前記映像信号線の占有する面積上には存

在せず、前記第一の絶縁膜上をエッチング除去された領域にのみ形成されているものがよい。また、その一部を除去される第一の絶縁膜が3000Å以上の厚さを持つものがよい。また、映像信号線とその一部を除去される第一の絶縁膜がともに3000Å以上の厚さを持つものがよい。

また、本発明は、1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、複数本存在する走査信号線の第1番目と最終番目を除く前記走査信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記走査信号線に対して隣合う画素電極が、前記走査電極材料を陽極酸化して形成した陽極酸化膜の少なくとも一つの段差上に存在せず、前記画素電極上で

光の透過する開口領域に薄膜トランジスタのゲート絶縁膜が存在しないことを特徴とするものである。

また、本発明は、1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、複数本存在する走査信号線の第1番目と最終番目を除く前記走査信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記走査信号線に対して隣合う透明な画素電極が、前記走査電極材料を陽極酸化して形成した陽極酸化膜上に存在せず、前記画素電極上で光の透過する開口領域に薄膜トランジスタのゲート絶縁膜が存在しないことを特徴とするものである。

また、本発明は、走査信号線、陽極酸化膜、画

素電極形成順序は、走査信号線、陽極酸化膜、画素電極形成の順序に製造され、陽極酸化膜と画素電極の製造工程中に、他の絶縁膜の製造工程を含まない工程で製造されたことを特徴とする液晶表示装置の製造方法の製造方法である。

前記表示装置に於いて、保持容量を形成する上部及び下部電極は共に不透明の電極材料で形成されたものがよい。また、保持容量を形成する上部電極は画素電極で形成されたものがよい。また、前記走査信号線と前記陽極酸化膜の厚さの総和が3000Å以上であるものがよい。

また、本発明は、1つの走査信号線と1つ映像信号線の交点に薄膜トランジスタを形成し、前記走査信号線は薄膜トランジスタのゲート電極に接触され、前記映像信号線は薄膜トランジスタのドレイン電極に接触され、前記薄膜トランジスタのソース電極に接触された画素電極によって液晶を駆動する機能を有する単位画素を透明基板上にマトリクス状に形成した液晶表示装置において、複数本存在する映像信号線の第1番目と最終番目を

除く前記映像信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記映像信号線に対して隣合う画素電極が、隣合う画素の一方が透明基板あるいは第一の絶縁膜上に形成され、他方の画素電極との平面上のほぼ中間位置に形成された映像信号線が前記第一の絶縁膜上に形成され、前記他方の画素電極が前記映像信号線上に形成された第2の絶縁膜上に形成されたものである。ここで、前記画素電極が映像信号線上に存在しないものがよい。また、複数本存在する走査信号線の第1番目と最終番目を除く前記走査信号線を平面上で垂直方向の断面構造にて、前記第1番目と最終番目を除く前記走査信号線に対して隣合う画素電極が、隣合う画素の一方が透明基板あるいは第一の絶縁膜上に形成され、他方の画素電極との平面上のほぼ中間位置に形成された走査信号線が前記第一の絶縁膜上に形成され、前記他方の画素電極が前記走査信号線上に形成された第2の絶縁膜上に形成されたものがよい。

〔作用〕

上記した手段1は、本発明者が段差に対するITOのステッパカバレッジを実験した結果に基づき、第3図にその実験結果を示す。縦軸は段差でのITOの切断率、横軸はITOが被服すべき段差である。段差が1000Å以下では切断率はほぼ0%と小さいが3000Å以上で急増し、4000Å以上では90%以上の切断率となる。この実験結果を基にするならば、上記手段1の様に、まず所定の厚さ(3000Å以上が望ましい)の映像信号線あるいは走査信号線を形成、絶縁膜を被服しあるいは前記走査信号線の電極材料を陽極酸化し、その後にITOを堆積、加工すれば、たとえ隣合う画素電極ITO間にエッチング不良等によりITOが残ったとしても、段差でITOが切断され短絡不良は低減する。

上記手段2は、映像信号線の垂直方向の画素電極ITO間の距離が、隣合う映像信号線の距離より大きいため、距離に対するポアソン分布統計に従い短絡不良は著しく低減する。

〔実施例〕

(実施例1)

本発明の実施例1であるアクティブマトリクス方式の液晶表示装置の液晶表示部の1画素を第4図(要部平面図)で示し、第4図のI—I切断線で切った断面を第1図で示す。第5図には、第4図のII-II切断線で切った断面を示す。また、第6図には、第4図のIII-III切断線で切った断面を示す。

第4図に示すように、液晶表示装置は、下部透明ガラス基板の内側(液晶側)の表面上に、薄膜トランジスタTFT及び画素電極ITOを有する画素が構成されている。

各画素は、隣接する2本の走査信号線(ゲート信号線)GLと、隣接する2本の映像信号線(ドレイン信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、画素電極ITO及び付加容量Ca_dを含む。走査信号線GLは、列方向に延在し、行方向に複数本配置されている。映像信号線DLは、行方向に延在し、列方向に複

映像信号線の段差が2ヵ所ある。点欠陥を誘因する隣合う長さLの間隙に画素電極ITOが残膜として残ったとしても、上記2箇所の段差により第3図の実験データに従い断線され点欠陥は生じない。本断面図の主な構成部の詳細形成条件等を以下に示す。

絶縁膜GIは、薄膜トランジスタTFTのゲート絶縁膜として使用される。絶縁膜GIは、例えば、プラズマGVDで形成された窒化珪素膜を用い、3000(Å)程度の膜圧に形成される。

映像信号線DLは第1導電膜d₁、第2導電膜d₂を順次重ね合わせて構成されている。第1導電膜d₁は、スパッタで形成した、クロム膜を用いて、500～1000(Å)の膜圧(本実施例では600(Å)程度の膜厚)により形成される。クロム膜は、後述する薄膜トランジスタTFTのN⁺型半導体層d₀との接触、画素電極ITO₁との接触が良好である。また、クロム膜は、後述する第2の導電膜d₂のアルミニウムがN⁺型半導体層d₀に拡散することを防止するという所

数本配置されている。

断面構造は、第1図に示すように、液晶層LCを基準に下部透明ガラス基板SUB₁側には液晶配向膜ORI₁、薄膜トランジスタTFT及び透明画素電極ITO₁が形成され、下部基板SUB₁の下には偏光板POL₁、上部透明ガラス基板SUB₂側には、配向膜ORI₂、カラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成され、透明ガラス基板SUB₂上には偏光板POL₂が形成されている。また上記断面構造には、共通透明画素電極ITO₂、保護膜PSV₁及びPSV₂、絶縁膜GIのそれぞれの層が形成されている。

本実施例の特徴は第1図の断面構造にある。絶縁膜GI上には第1導電膜d₁及び第2導電膜d₂の積層構造で形成された映像信号線DLがあり、その上には保護膜PSV₁膜が形成され、前記保護膜PSV₁はホトエッチング技術で加工されている。画素電極ITO₁は前記構造形成後に形成される。従って、隣合う画素電極ITO₁間には

謂バリア層を構成する。第1導電膜d₁としては、上記のようなクロム膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド膜で形成しても良い。第2導電膜d₂は、アルミニウムのスパッタリングで3500～4500(Å)の膜厚(本実施例では4000(Å)程度の膜圧)に形成される。アルミニウム層は、クロム層に比べてストレスが小さく、厚い膜厚に形成することが可能で、映像信号線DLの抵抗値を低減するように構成されている。アルミニウム膜の他にシリコン(Si)、パラジウム(Pd)や銅(Cu)を添加物として含有させたアルミニウム膜で形成されても良い。

画素電極ITO₁は、スパッタリングで1000～2000(Å)の膜厚(本実施例では1200(Å)程度の膜圧)で形成される。

保護膜PSV₁は、主に、薄膜トランジスタTFTを湿気から保護するために形成されており、対湿性の良いものを使用する。例えばプラズマGVDで形成された窒化珪素膜、窒化珪素膜、ある

いはP I Q等の有機絶縁膜で形成されている。

次に、第5図の断面構造を説明する。本断面図は液晶LCの容量を充電する薄膜トランジスタTFTを含む断面図である。画素電極ITO1は保護膜PSV1のホトエッチング加工後に形成され、ソース電極SD1の第1導電膜d1と接触されている。ソース電極SD1の第2導電膜d2は保護膜PSV1で被覆されている。

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを引加すると、ソースドレイン（映像信号線DL）間のチャンネル抵抗値が小さくなり、バイアスを零にするとチャンネル抵抗値が大きくなるように動作する。この薄膜トランジスタTFTは、主に、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーパされていない）非晶質Si半導体層AS、一対のソース電極SD1及びドレイン電極SD2（映像信号線DL）で構成されている。なお、ソース、ドレインは本来その間のバイアス極性で決まり、本表示装置の回路ではその極性は動作中

反転するので、ソース、ドレインは動作中入れ替わると理解されたい。便宜上一方をソース、他方をドレインと固定して表現する。

次に、第6図の断面構造を説明する。本断面図は付加容量Caddの構造を示す。透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なる様に形成されている。この重ね合わせは、隣の走査信号線GLを一方の電極PL1とし、透明画素電極ITO1と接触され、映像信号線と同様な工程で形成された第1導電膜d1、第2導電膜d2を他方の電極PL2とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIと同一層で構成されている。

上記発明における走査信号線GL即ちゲート電極GTは、例えば、クロム（Cr）、アルミニウム（Al）、タンタル（Ta）等の金属で形成される。また、絶縁膜GIの電気的耐圧を大きくす

るためや、映像信号線DLと走査信号線GL間や保持容量素子Caddの短絡欠陥を低減するため前記金属を陽極酸化し、アルミナ絶縁膜、S酸化タンタル絶縁膜を形成しても良い。これらの陽極酸化膜を用いると薄膜トランジスタTFTや保持容量素子Caddの絶縁層は絶縁膜GIと前記陽極酸化膜との複合膜となる。

上記実施例では、各画素に1個の薄膜トランジスタを形成した例を示してきたが、各画素に複数個の薄膜トランジスタを形成しても本発明は適用できる。

最後に、本実施例の画素構造を用いた場合の、表示マトリックス部の等価回路とその結線図を第7図に示す。

同図は回路図であるが、実際の幾何学的配置に対応して描かれている。ARは複数画素の二次元状に配列したマトリックスアレイである。

図中Xは映像信号線DLを意味し、赤字G、B及びRがそれぞれ緑、青及び赤画素に対応して付加されている。Yは走査信号線GLを意味し、赤

字1, 2, 3...endは走査タイミングの順序に従って付加されている。

映像信号線X（添字省略）は、交互に上側（又は奇数）映像信号駆動回路He及び下側（又は偶数）映像信号駆動回路Hoに接続されている。

SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト

（上位演算処理時間）からのCRT（陰極線管）用の情報をTFT液晶表示パネル用の情報に変換する回路を含む回路である。

（実施例2）

本発明の実施例2であるアクティブマトリクス方式の液晶表示装置の液晶表示部の1画素の映像信号線の平面構造で垂直線上を切断した断面を第8図で示す。

本実施例の特徴は第8図の断面構造にある。絶縁膜GI上には第1導電膜d1及び第2導電膜d2の積層構造で形成された映像信号線DLがあり、その上には保護膜PSV1が形成され、前記保護膜PSV1はホトエッチング技術で加工されて

いる。画素電極ITO1は前記構造形成後に形成される。従って、隣合う画素電極ITO1間には段差が4000Å以上の保護膜PSV1の加工段差が2ヵ所、映像信号線の段差が2ヵ所ある、点欠陥を誘因する隣合う長さLの間隙に画素電極ITO1が残膜として残ったとしても、上記4箇所の段差により第3回実験データに従い断線され点欠陥は生じない。第1図の断面構造及びこの記述において映像信号線DLを挟んで隣合う2つの画素電極ITO1間の段差(保護膜PSV1及び映像信号線DLによる)は共に3000(Å)と設定されているが、本実施例においては映像信号線は3000(Å)以下でも本発明の効果は達成される。

(実施例3)

本発明の実施例3であるアクティブマトリクス方式の液晶表示装置の液晶表示部の1画素の走査信号線の平面構造で垂直線上を切断した断面を第9図で示す。

本実施例の特徴は第9図の断面構造にある。走

査信号線GL上には走査信号線即ちゲート電極GTは電極材料である。例えば、アルミニウム(Al)、タンタル(Ta)等の金属で形成される。前記金属は陽極酸化膜AO、即ち、アルミナ絶縁膜、5酸化タンタル絶縁膜を形成する。画素電極ITO1は前記構造形成後に形成される。その後、絶縁膜GIを形成する。絶縁膜GI上には第1導電膜d1及び第2導電膜d2の積層構造で形成された映像信号線DLがある。従って、走査信号線GLに対して、隣合う画素電極ITO1間には走査信号線GLとその陽極酸化膜AOの差があり、段差が3000Å以上の場合上記段差により第3回実験データに従い断線され走査信号線GLに対して隣合う画素電極間の電氣的短絡による点欠陥は生じない。この場合の保持容量Ca d dの上部電極は映像信号線DLと同様な工程で形成された第1導電膜d1、第2導電膜d2で形成される。

本実施例の別な特徴は、絶縁膜GIが光の透過する画素電極ITO1上(第9図のL+の示す領域)に存在していないことである。もちろん、第

1の導電膜はLcの領域で画素電極ITO1と接触されている。画素電極ITO1上の絶縁は表示品質上の不良である残像に影響を与える。画素電極ITO1に別の工程で形成された絶縁膜GIと保護膜PSV1が存在すると、GIとPSV1の界面に電荷が蓄積され残像が大きくなる。本発明では画素電極ITO1上に絶縁膜GIがないので残像不良が低減できる。また、画素電極ITO1上に一旦堆積された絶縁膜GIは薄膜トランジスタTFTのゲート絶縁膜として使用されるので保護膜PSV1より薄膜トランジスタの安定化のために形成温度が高い。そのため、絶縁膜GIに含まれる水素のために光の透過する面上の画素電極ITO1表面が還元され透過率が低下する。そのため、画素電極ITO1上の光の透過する領域の絶縁膜GIを除去することにより、その除去工程で還元された画素電極ITO1の表面を除去することは、透過率の高い液晶表示装置を実現できる。(実施例4)

本発明の実施例4であるアクティブマトリクス

方式の液晶表示装置の液晶表示部の1画素の走査信号線の平面構造で垂直線上を切断した断面を第10図で示す。

本実施例の特徴は第10図の断面構造にある。この場合の保持容量Ca d dの上部電極は画素電極ITOで形成される。従って、保持容量Ca d dの絶縁膜が走査信号線GLの材料を陽極酸化された陽極酸化膜AOのみで構成されているため少ない平面上の面積で保持容量Ca d dを形成できるため、実施例4に比べて開口率を大きくでき、明るい画面表示ができるという特徴を持つ。

本実施例の別な特徴も実施例3と同様に、絶縁膜GIが光の透過する画素電極ITO1上(第9図のL+の示す領域)に存在していないことである。もちろん、第1の導電膜はLcの領域で画素電極ITO1と接触されている。画素電極ITO1上の絶縁は表示品質上の不良である残像に影響を与える。画素電極ITO1に別の工程で形成された絶縁膜GIと保護膜PSV1が存在すると、GIとPSV1の界面に電荷が蓄積され残像が大

きくなる。本発明では画素電極ITO1上に絶縁膜GIがないので残像不良が低減できる。また、画素電極ITO1上に一旦堆積された絶縁膜GIは薄膜トランジスタTFTのゲート絶縁膜として使用されるので保護膜PSV1より薄膜トランジスタの安定化のために形成温度が高い。そのため、絶縁膜GIに含まれる水素のために光の透過する面上の画素電極ITO1表面が還元され透過率が低下する。そのため、画素電極ITO1上の光の透過する領域の絶縁膜GIを除去することにより、その除去工程で還元された画素電極ITO1の表面を除去することは、透過率の高い液晶表示装置を実現できる。

(実施例5)

本実施例5は、前記液晶表示装置の液晶表示部の点欠陥を低減した、本発明の他の実施例である。

本発明の実施例5である液晶表示部の液晶表示部の複数画素を第11図(要部平面図)に、同図のI-I切断線で切った断面を第12図に示す。

本実施例2の液晶表示装置は、第12図に示す

上の画素電極間の距離を示す。

一例として、対角10.4インチ水平方向の映像信号線数が1920本(隣合う映像信号線間の距離を110(μm))、走査信号線線数480本のアクティブマトリクス方式の液晶表示装置で、第2図の従来構造での隣合う画素電極間の距離 L_0 を20(μm)として、従来構造と同じ寸法ルールで液晶表示装置を作成すると、 L_n は130(μm)となる。この場合、従来構造の不良率を0.4(歩留 $Y_a=60\%$)、0.2(歩留 $Y_a=80\%$)とすると、本実施例の点欠陥歩留 Y_a はそれぞれ94%、97%と従来構造に比べて著しく向上することができる。

なお、第11図に示す様に同一平面上にある画素電極ITO11あるいはITO12は走査信号線GLに対して、同一平面の隣合う距離は隣合う走査電極間の距離より大きいので点欠陥をさらに低減できるという特徴を持つ。

(発明の効果)

以上説明したように、本発明の実施例によれば、

ように、映像信号線DLに直角方向線上の断面構造に直角方向線上の断面構造において、映像信号線DL、隣合う画素電極ITO11及びITO12がそれぞれ絶縁膜GI、保護膜PSV1、PSV2を用いて電気的に絶縁されていると共に、走査信号線GL、隣合う画素電極ITO11及びITO12がそれぞれ絶縁膜GI、保護膜PSV1、用いて電気的に絶縁されている。従って、例えば、同一平面上(同一絶縁膜GIあるいは保護膜PSV1上)にある画素電極ITO11あるいはITO12の映像信号線DLに直角方向の距離は隣合う映像信号線間の距離より大きくなる。

このように構成される画素は、同一平面上の画素電極間の距離が大きくなるので、点欠陥不良に対する歩留 Y_a はポアソン分布統計を用いた次の指数式に従い著しく向上することができる。

$$Y_a = \exp(-D \cdot L_0 / L_n) \times 100 (\%)$$

ここで、 D は第2図で示した従来構造を用いた場合の点欠陥不良率、 L_0 は同じく第2図の隣合う画素電極間の距離で、 L_n 本実施例の同一平面

無対策の場合の映像信号線を挟んで形成された画素電極間の短絡不良が、映像信号線に保護膜を被覆した後に形成され映像信号線や保護膜の段差により、また、無対策の場合の走査信号線を挟んで形成された画素電極間の短絡不良が、走査信号線に走査信号線材料を陽極酸化して形成された陽極酸化膜の段差により、不良として残ったITOを切断せしめるためや、映像信号線と垂直方向で隣合う画素電極ITO間の距離が隣合う映像信号線間の距離より大きくなっているため、点欠陥を著しく低減させるという効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例1であるアクティブマトリクス方式の液晶表示装置の液晶表示部の1画素を要部断面図であり、本図は第4図の要部平面図の映像信号線に対する直角方向の断面図でI-I切断線で切った部分、第2図は従来構造の断面図、第3図はインジウムスズ酸化物の段差に対する切断率、第4図は本発明の実施例1であるアクティブマトリクス方式の液晶表示装置の液晶表

示部の1画素を示す要部平面図、第5図は前記第4図のII-II切断線で切った部分で薄膜トランジスタを含む断面図、第6図は前記第4図のIII-III切断線で切った部分で保持容量素子を含む断面図、第7図はアクティブマトリクス方式の液晶表示装置の液晶表示部を示す等価回路図、第8図は本発明の実施例2であるアクティブマトリクス方式の液晶表示装置の液晶表示部の映像信号線の垂直線上の断面図、第9図は本発明の実施例3であるアクティブマトリクス方式の液晶表示装置の液晶表示部の走査信号線の垂直線上の断面図、第10図は本発明の実施例4であるアクティブマトリクス方式の液晶表示装置の液晶表示部の走査信号線の垂直線上の断面図、第11図は本発明の実施例5であるアクティブマトリクス方式の液晶表示装置の液晶表示部の複数の画素を配置したときの平面図、第12図は前記第11図のI-I切断線で切った部分で映像信号線に対する直角方向の断面図である。

SUB…透明ガラス基板、GL…走査信号線、

DL…映像信号線、GI…絶縁膜、

GT…ゲート電極、SD…ソース電極、

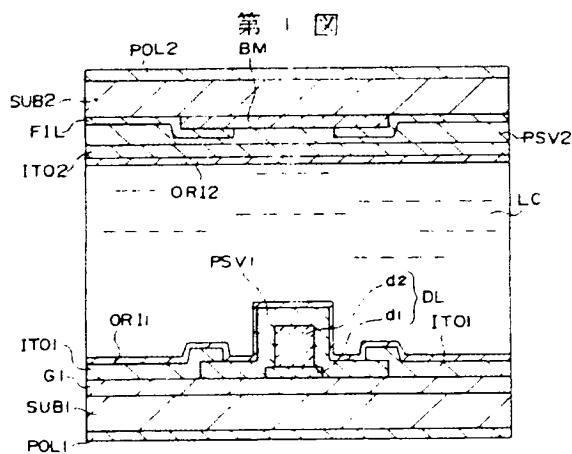
PSV…保護膜、LC…液晶、

TFT…薄膜トランジスタ、ITO…透明電極、

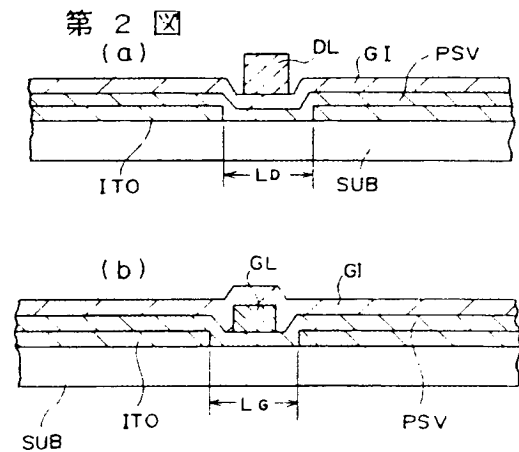
d…導電膜、Cadd…保持容量素子、

AO…陽極酸化膜、Cpix…液晶容量（英文字の後の数字の添字は省略）。

代理人 鶴 裕 辰 之

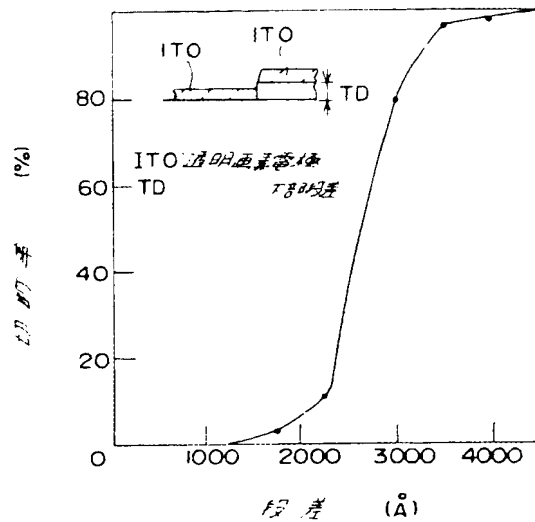


POL1, POL2 偏光板
SUB2 透明ガラス基板
PSV2 透明導電膜の保護膜
FIL 導電膜
ITO2 透明導電膜
OR12 上基板の配向膜
LC 液晶
OR11 下基板の配向膜
BM 透明導電膜の保護膜
PSV1 透明導電膜の保護膜
ITO1 透明導電膜
DL 映像信号線
GI 絶縁膜
SUB1 透明ガラス基板

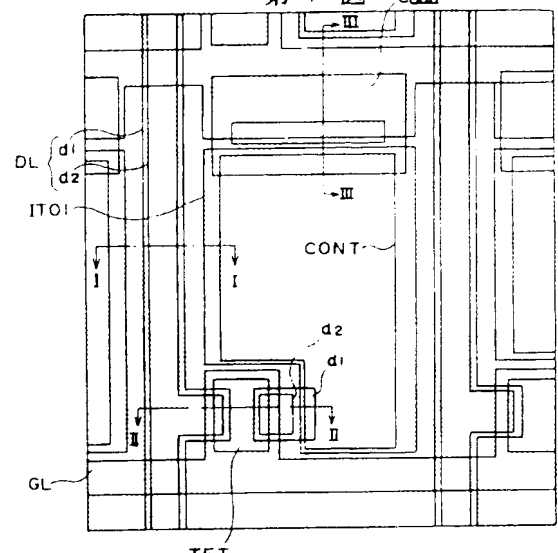


DL: 映像信号線
GI: 絶縁膜
PSV: 透明導電膜の保護膜
ITO: 透明導電膜
GL: 走査信号線
Ld: 透明導電膜間の距離
(映像信号線垂直方向)
Lg: 走査信号線垂直方向
SUB: ガラス基板

第 3 圖

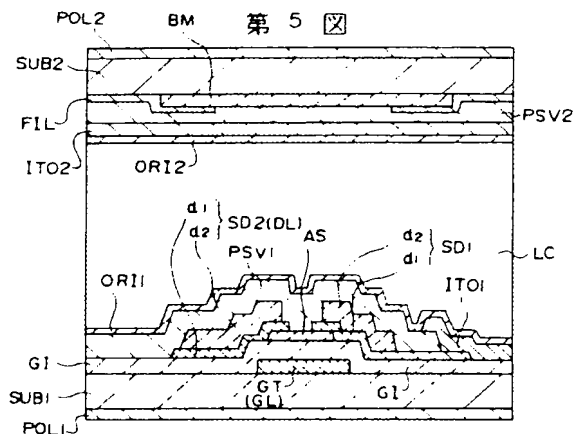


第 4 图 Codd



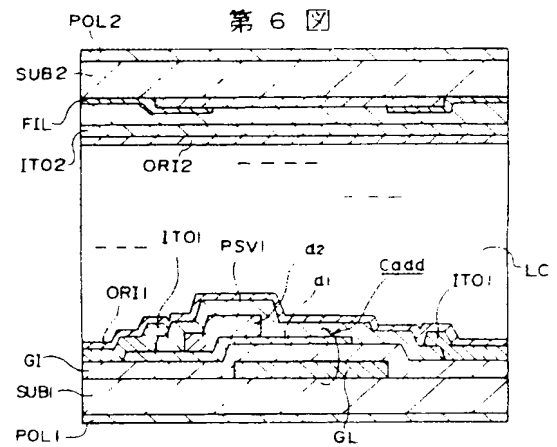
Cadd. 17700 留聲
DL 映像信號線 (層 d1, d2)
TFT 薄膜 TOS-2.9
ITO: 透明導電薄膜
GL 電氣信號線
CONT 1600 層の TOS-2.9 薄膜

第 5 回



POL1, POL2 偏光板
SUB2 上部透明基板
PSV2 カラースペース保持壁
FIL フィルム
ITO2 透明导电层
ORI2 上偏光板
LC 液晶
ORI1 下偏光板
BM 基板
PSV1 カラーペース保持壁
ITO1 透明导电层
DL 駆動信号線
GI 絶縁膜
SUB1 下部透明基板
SD 上部透明导电层
AS 基板
GT 玻璃板

第 6 図

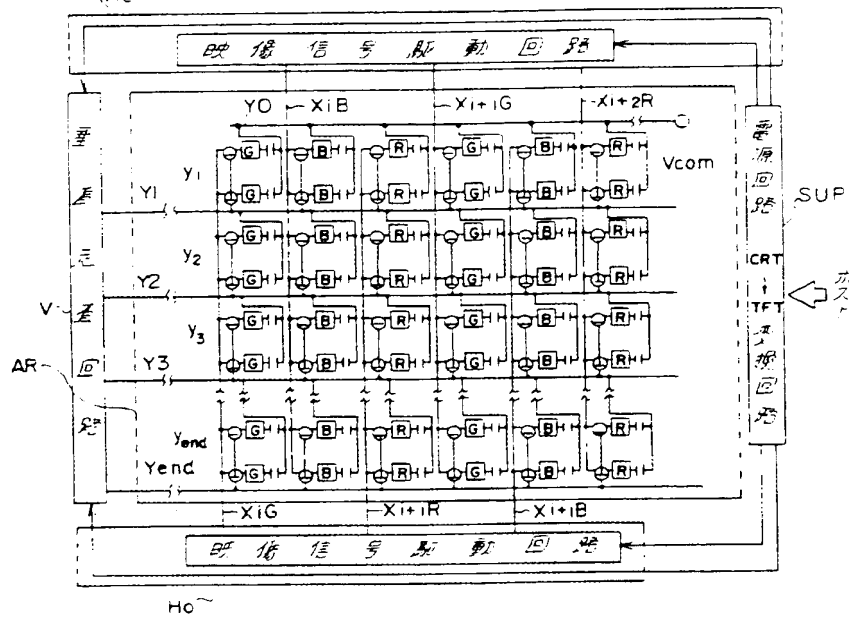


GL: 总行
GI: 支行
SUBI: 分行
Cadd: 办公室

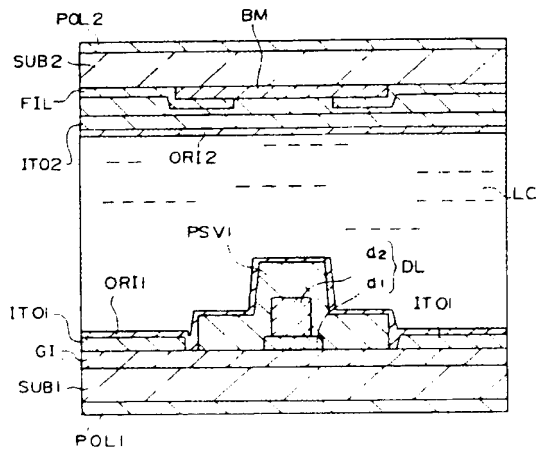
第7図

AR: アナログアンプ
X: 映像信号線
Y: 走査信号線

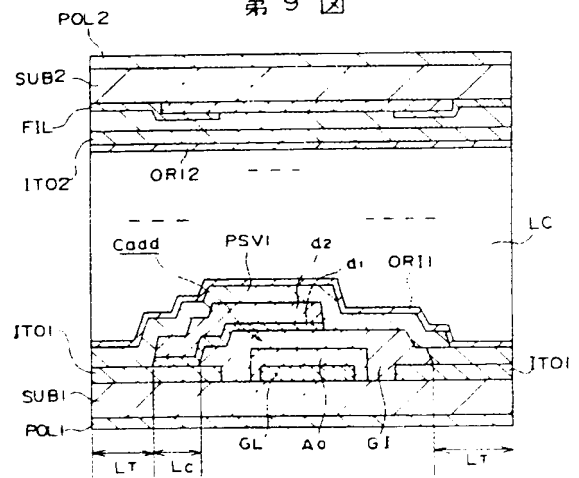
He, Ho: 映像信号駆動回路
SUP: 電源回路



第8図

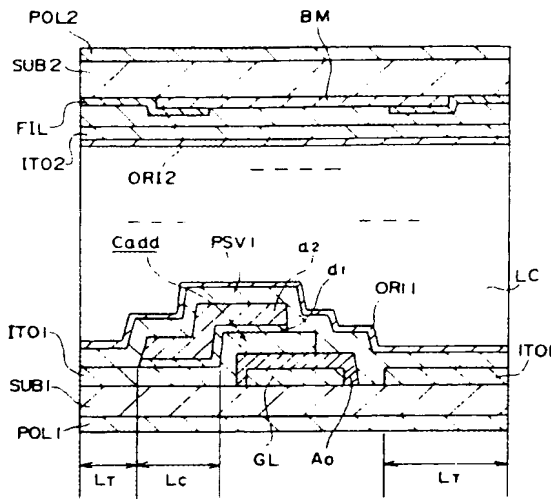


第9図

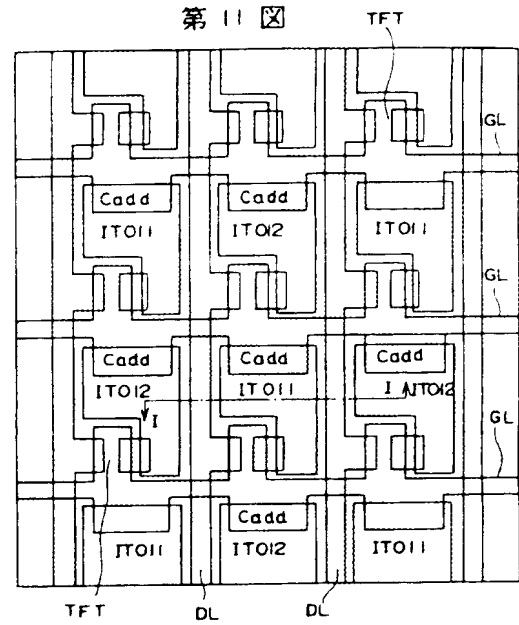


AO: 液晶配向膜
GL: 走査信号線
Cadd: アナログアンプ
LT: 透明電極層上部の透明電極膜
LC: 透明電極層下部の透明電極膜

第10図

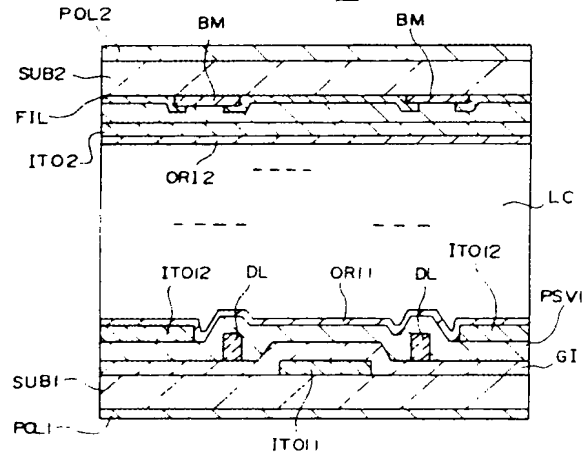


第11図



DL: 映像信号線
Cadd: 共通データ線
TFT: 薄膜トランジスタ

第12図



ITO11, ITO12: 透明画素電極
GL: 共通ゲート線
GI: 共通絶縁層
SUB1: TFT基板
DL: 映像信号線